Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет

информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра вычислительных машин, систем и сетей

Дисциплина: Арифметические и логические основы

цифровых устройств

К ЗАЩИТЕ ДОПУСТИТЬ

\_\_\_\_\_\_\_\_\_\_ Ю. А. Луцик

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

к курсовой работе

на тему

ПРОЕКТИРОВАНИЕ И ЛОГИЧЕСКИЙ СИНТЕЗ СУММАТОРА-

УМНОЖИТЕЛЯ ДВОИЧНО-ЧЕТВЕРИЧНЫХ ЧИСЕЛ

БГУИР КР 1-40 02 01 312 ПЗ

Студент А. А. Ивановский

Руководитель И. В. Лукьянова

МИНСК 2021

Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет

информатики и радиоэлектроники»

Факультет компьютерных систем и сетей

Кафедра электронных вычислительных машин

Дисциплина: Арифметические и логические основы

цифровых устройств

УТВЕРЖДАЮ

Заведующий кафедрой ЭВМ

\_\_\_\_\_\_\_\_\_ Б. В. Никульшин

«\_\_\_\_» \_\_\_\_\_\_\_\_\_\_ 20\_\_г.

ЗАДАНИЕ

по курсовой работе студента

Ивановского Артёма Алексеевича

1. Тема работы: «Проектирование и логический синтез сумматора- умножителя двоично-десятичных чисел»
2. Срок сдачи студентом законченной работы: до 20 мая 2022г.
3. Исходные данные к работе:
   1. Исходные сомножители: Мн = 91,74; Мт = 17,41;
   2. Алгоритм умножения: Г;
   3. Метод умножения: умножение закодированного двоично-четверичного множимого на два разряда двоичного множителя одновременно в прямых кодах;
   4. Коды четверичных цифр множимого для перехода к двоично- четверичной системе кодирования: 04 – 01, 14 – 00, 24 – 11, 34 – 10;
   5. Тип синтезируемого умножителя: 2;
   6. Логический базис для реализации ОЧС: И, Константная единица, Сумма по модулю; метод минимизации – алгоритм Рота.
   7. Логический базис для реализации ОЧУС: ИЛИ, НЕ; метод минимизации – карты Карно-Вейча
4. Содержание пояснительной записки (перечень подлежащих разработке вопросов):

Введение. 1. Разработка алгоритма умножения. 2. Разработка структурной схемы сумматора-умножителя. 3. Разработка функциональных схем основных узлов сумматора-умножителя. 4. Синтез комбинационных схем устройств на основе мультиплексоров. 5. Оценка результатов разработки. Заключение. Список литературы.

1. Перечень графического материала:
   1. Умножитель-сумматор 2 типа. Схема электрическая структурная.
   2. Однозарядный четверичный сумматор. Схема электричская

функциональная.

* 1. Однозарядный четверичный умножитель. Схема электрическая функциональная. Однозарядный четверичный умножитель. Схема электрическая функциональная.
  2. Однозарядный четверичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная.
  3. Преобразователь множителя. Схема электрическая функциональная.

КАЛЕНДАРНЫЙ ПЛАН

|  |  |  |  |
| --- | --- | --- | --- |
| Наименование этапов курсовой работы | Объём этапа, % | Срок выполнения этапа | Примечания |
| Разработка алгоритма умножения | 10 | 10.02-20.02 |  |
| Разработка структурной схемы сумматора-умножителя | 10 | 21.02-09.03 | С выполнением чертежа |
| Разработка функциональных схем основных узлов сумматора-умножителя | 50 | 10.03-30.04 | С выполнением чертежей |
| Синтез комбинационных схем устройств на основе мультиплексоров | 10 | 01.05-15.05 | С выполнением чертежа |
| Завершение оформления пояснительной записки | 20 | 15.05-20.05 |  |

Дата выдачи задания: 10 феврал 2022г.

Руководитель \_\_\_\_\_\_\_\_\_И. В. Лукьянова

ЗАДАНИЕ ПРИНЯЛ К ИСПОЛНЕНИЮ \_\_\_\_\_\_\_\_\_А. А. Ивановский

**СОДЕРЖАНИЕ**

ВВЕДЕНИЕ ............................................................................................................

1. РАЗРАБОТКА АЛГОРИТМА УМНОЖЕНИЯ ..............................................

2. РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ СУММАТОРА-УМНОЖИ-ТЕЛЯ ..................................................................................................................................

3. РАЗРАБОТКА ФУНКЦИОНАЛЬНЫХ СХЕМ ОСНОВНЫХ УЗЛОВ СУММАТОРА-УМНОЖИТЕЛЯ .........................................................................

3.1. Логический синтез одноразрядного четверичного сумматора....................

3.2. Логический синтез одноразрядного четверичного сумматора-умножителя ................................................................................................................................

3.3. Логический синтез преобразователя множителя .......................................

4. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ УСТРОЙСТВ НА ОСНОВЕ

МУЛЬТИПЛЕКСОРОВ ...................................................................................

5. ОЦЕНКА РЕЗУЛЬТАТОВ РАЗРАБОТКИ .................................................... ЗАКЛЮЧЕНИЕ .................................................................................................... СПИСОК ЛИТЕРАТУРЫ ....................................................................................

ПРИЛОЖЕНИЕ А Сумматор-умножитель первого типа. Схема электрическая структурная .................................................................................

ПРИЛОЖЕНИЕ Б Одноразрядный четверичный сумматор-умножитель. Схема электрическая функциональная.............................................................

ПРИЛОЖЕНИЕ В Одноразрядный четверичный сумматор. Схема электрическая функциональная..........................................................................

ПРИЛОЖЕНИЕ Г Одноразрядный четверичный сумматор. Реализация на мультиплексорах. Схема электрическая функциональная ..............................

ПРИЛОЖЕНИЕ Д Преобразователь множителя. Схема электрическая функциональная ………………………….............

ПРИЛОЖЕНИЕ Е Ведомость документов ...…………………………………

**ВВЕДЕНИЕ**

Курсовое проектирование является обязательным элементом подготовки специалиста с высшим образованием и одной из форм текущей аттестации студента по учебной дисциплине. Для студентов это первая работа такого рода и объёма. Она содержит результаты теоретических и экспериментальных исследований по дисциплине “Арифметические и логические основы вычислительной техники”, включает совокупность аналитических, расчётных, экспериментальных заданий и предполагает выполнение конструкторских работ и разработку графической документации.

Целью данной курсовой работы является проектирование такого цифрового устройства, как двоично-четверичный сумматор-умножитель (СУ). Сумматор является одним из центральных узлов арифметико-логического устройства (АЛУ) вычислительной машины, поэтому глубокое понимание принципов его работы критически важно для современного инженера. Для того чтобы спроектировать данное устройство, необходимо пройти несколько последовательных этапов разработки:

* Разработка алгоритма умножения чисел, по которому работает СУ
* Разработка структурной схемы СУ
* Разработка функциональной схемы основных узлов структурной схемы СУ
* Оценка результатов проделанной работы
* Оформление документации по проделанной работе

В ходе выполнения курсовой работы автором были пройдены все эти этапы. В настоящей пояснительной записке изложено краткое описание процесса проектирования и приведена разработанная автором графическая документация по структурной схеме и функциональным схемам основных её узлов.

**1 РАЗРАБОТКА АЛГОРИТМА УМНОЖЕНИЯ**

1. Перевод сомножителей из десятичной системы счисления в четверичную.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| \_ 91 | 4 |  |  |  |  |  | 0,74 |
| 88 | \_ 22 | 4 |  |  |  | \* | 4 |
| 3 | 20 | 5 | 4 |  |  |  | 2,96 |
|  | 2 | 4 | 1 |  |  | \* | 4 |
|  |  | 1 |  |  |  |  | 3,84 |

Мн4 = 1123,23.

В соответствии с заданной кодировкой множимого:

Мн2/4 = 00001110,1110

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| \_ 17 | 4 |  |  |  |  |  | 0,41 |
| 16 | 4 | 4 |  |  |  | \* | 4 |
| 1 | 4 | 1 |  |  |  |  | 1,64 |
|  | 0 |  |  |  |  | \* | 4 |
|  |  |  |  |  |  |  | 2,56 |
|  |  |  |  |  |  | \* | 4 |
|  |  |  |  |  |  |  | 2,24 |

Мт4 = 101,122.

В соответствии с заданной кодировкой множителя:

Мт2/4 = 010001,011010

2. Запишем сомножители в форме с плавающей запятой в прямом коде:

Мн = 0,000011101110 РМн = 0.0001 +0410

Мт = 0,010001011010 РМт = 0.0011 +0310

Порядок произведения:

|  |  |  |  |
| --- | --- | --- | --- |
| РМн | = | 0.0001 | 104 |
| РМт | = | 0.0011 | 034 |
| РМн∙Мт | = | 0.0010 | 134 |
|  |  |  |  |

Знак произведения определяется суммой по модулю два знаков

сомножителей:

зн Мн ⊕ зн Мт = 0 ⊕ 0 = 0.

При умножении чисел в прямых кодах диада 11(34) заменяется на триаду . Преобразованный множитель имеет вид М = .

Перемножение мантисс по алгоритму «Г» представлено в таблице 1.1

Таблица 1.1 — Перемножение мантисс

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Четверичная С/С** | | **Двоично-четверичная С/C** | | **Комментарии** |
| **1** | | **2** | | **3** |
| 0. | 0000000 0000000 | 01. | 01010101010101 01010101010101 | ∑0ч |
| 0. | 0011232 3000000 | 01. | 01010000111011 10010101010101 | П1ч = Мн \* 4-1 |
| 0. | 0011232 3000000 | 01. | 01010000111011 10010101010101 | ∑1ч |
| 0. | 0000000 0000000 | 01. | 01010101010101 01010101010101 | П2ч = 0 |
| 0. | 0011232 3000000 | 01. | 01010000111011 10010101010101 | ∑2ч |
| 0. | 0000112 3230000 | 01. | 01010101000011 10111001010101 | П3ч = Мн \* 4-3 |
| 0. | 0012011 2230000 | 01. | 01010011010000 11111001010101 | ∑3ч |
| 0. | 0000023 1312000 | 01. | 01010101011110 00100011010101 | П4ч = 2Мн\* 4-4 |
| 0. | 0012101 0202000 | 01. | 01010011000100 01110111010101 | ∑4ч |
| 3. | 3333332 2101100 | 10. | 10101010101011 11000100000101 | П5ч = [-Мн]д\*4-5 |
| 0. | 0012033 2303100 | 01. | 01010011011010 11100110000101 | ∑5ч |
| 3. | 3333333 1020220 | 10. | 10101010101010 00011101111101 | П6ч =[-2Мн]д\* 4-6 |
| 0. | 0012032 3323320 | 01. | 01010011011011 10101110101101 | ∑6ч |

После окончания умножения необходимо оценить погрешность вычислений. Для этого полученное произведение (Мн4 ∙ Мт4 = 0,0012032 3323320, РМн ∙ Мт = 7) приводится к нулевому порядку, а затем переводится в десятичную систему счисления:

Мн4 ∙ Мт4 = 120323,323320 РМн ∙ Мт = 0;

Мн10 ∙ Мт10 = 1595,9355.

Результат прямого перемножения операндов дает следующее:

Мн10 ∙ Мт10 = 91,74\*17,41 = 1597,1934.

Абсолютная погрешность:

Δ = 1597,1934 – 1595,9355 = 1,2579.

Относительная погрешность:

Эта погрешность получена за счёт приближённого перевода из десятичной системы счисления в четверичную обоих сомножителей, а также за счёт округления полученного результата произведения.

**2 РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ СУММАТОРА-УМНОЖИТЕЛЯ**

*Если устройство работает как сумматор*, то оба слагаемых последовательно (за два такта) заносятся в регистр множимого, а на управляющий вход формирователя дополнительного кода F2 поступает «1». Необходимо обеспечить выполнение алгоритма сложения чисел, представленных в форме с плавающей запятой, базируясь на схеме умножителя, реализующего заданный алгоритм умножения.

Первое слагаемое переписывается в регистр результата под действием управляющих сигналов, поступающих на входы h всех ОЧУС (рисунок 2.1).

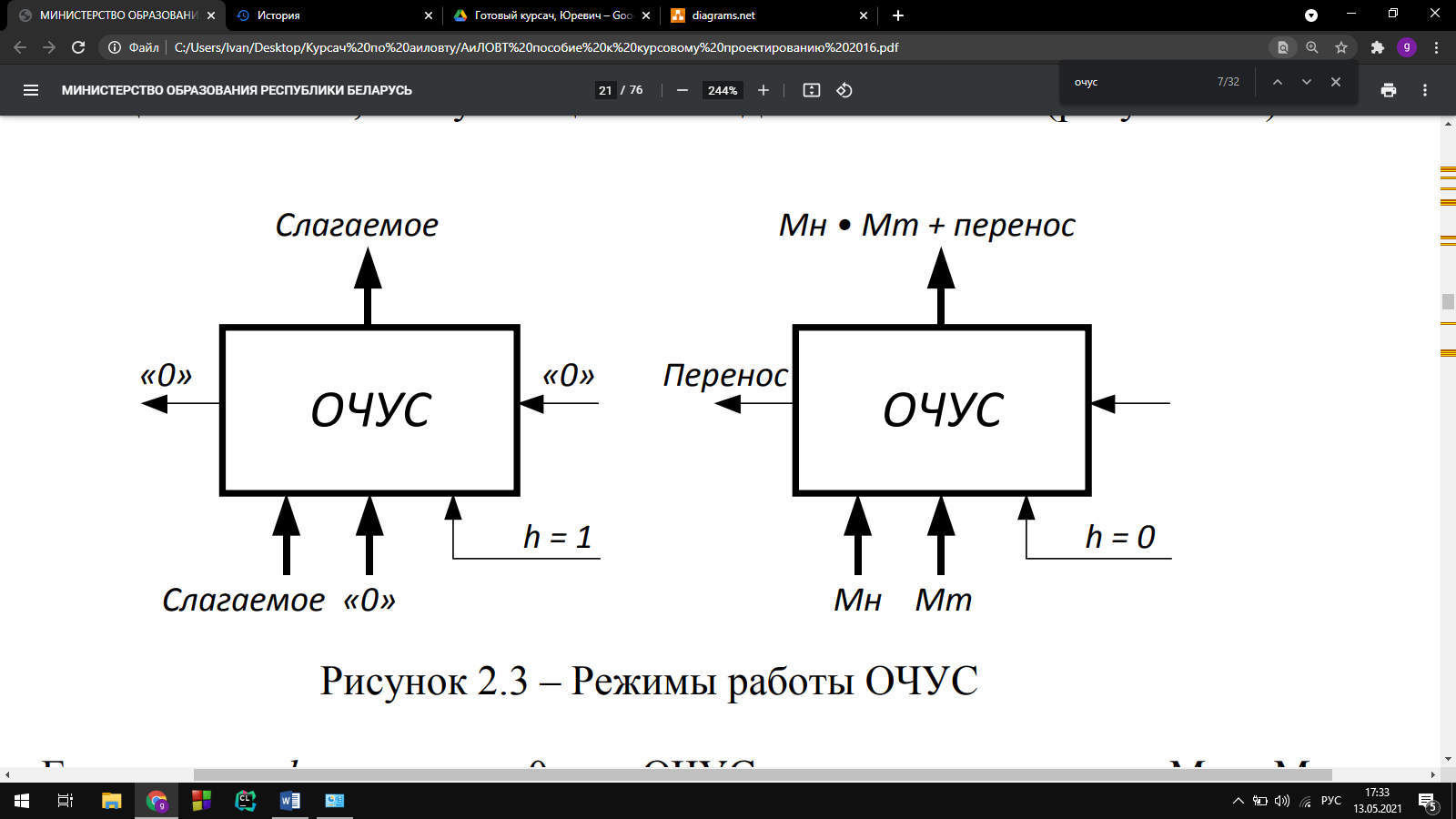


Рисунок 2.1 – Режимы работы ОЧУС

Если на вход h поступает «0», то ОЧУС перемножает разряды Мн и Мт и добавляет к полученному результату перенос из предыдущего ОЧУС.

В ОЧС первое слагаемое складывается с нулём, записанным в регистре результата, и переписывается без изменений в регистр результата.

На втором такте второе слагаемое из регистра множимого через цепочку ОЧУС попадает на входы ОЧС и складывается с первым слагаемым, хранящимся в регистре результата.

Сумма хранится в регистре результата. Разрядность регистра результата должна быть на единицу больше, чем разрядность исходных слагаемых, чтобы предусмотреть возможность возникновения при суммировании переноса.

*Если устройство работает как умножитель*, то множимое и множитель помещаются в соответствующие регистры, а на управляющий вход ФДК F2 поступает «0».

Диада множителя поступает на входы преобразователя множителя. Единица переноса в следующую диаду, если она возникает, должна быть добавлена к следующей диаде множителя (выход 1 ПМ) в следующем такте, т. е. должна храниться на триггере до следующего такта.

В регистре множителя после каждого такта умножения содержимое сдвигается на два двоичных разряда, и в конце умножения регистр обнуляется. Это позволяет использовать регистр множителя для хранения младших разрядов произведения при умножении по алгоритму «А».

Выход 2 ПМ переходит в единичное состояние, если текущая диада содержит отрицание (). В этом случае инициализируется управляющий вход F1 формирователя дополнительного кода, и на выходах ФДК формируется дополнительный код множимого с обратным знаком (умножение на – 1).

Принцип работы ФДК в зависимости от управляющих сигналов отражён в таблице 2.1.

На выходах 3 и 4 ПМ формируются диады преобразованного множителя, которые поступают на входы ОЧУС вместе с диадами множимого. На трёх выходах ОЧУС формируется результат умножения диад Мн·Мт плюс перенос из предыдущего ОЧУС. Максимальной цифрой в диаде преобразованного множителя является двойка, поэтому перенос, формируемый ОЧУС, может быть только двоичным («0» или «1»):

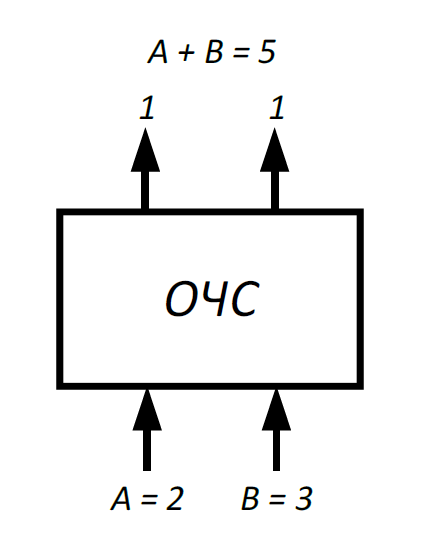
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 3 | ∙ | 2 | = | 12 | (+1 в случае переноса из предыдущего ОЧУС) | |
| max |  | max |  | max | |  | |
| Мн |  | Мт |  | Перенос | |  | |

Так как на входы ОЧУС из регистра Мт не могут поступить коды «3», в таблице истинности работы ОЧУС будут содержаться 16 безразличных входных наборов.

Частичные произведения, получаемые на выходах ОЧУС, складываются с накапливаемой частичной суммой из регистра результата с помощью цепочки ОЧС (на первом такте выполняется сложение с нулём).

Частичные суммы хранятся в регистре результата и регистре множителя, т. к. алгоритм умножения «А» предполагает возможность синхронного сдвига этих регистров. Количество тактов умножения определяется разрядностью Мт.

Одноразрядный четверичный сумматор предназначен для сложения двух двоично-четверичных цифр, подаваемых на его входы (рисунок 2.2).

Рисунок 2.2 – Одноразрядный четверичный сумматор

В ОЧС первое слагаемое складывается с нулём, т.к. на старших выходах ОЧУ будут формироваться только коды нуля. Затем первое слагаемое попадает в регистр-аккумулятор, который изначально обнулён.

На втором такте второе слагаемое из регистра множимого через цепочку ОЧУ и ОЧС попадает в аккумулятор, где складывает с первым слагаемым. Таким образом, аккумулятор (накапливающий сумматор) складывает операнды и хранит результат.

Разрядность аккумулятор должна быть на единицу больше, чем разрядность исходных слагаемых, чтобы предусмотреть возможность возникновения переноса при суммировании.

*Если устройство работает как умножитель* (на входе *Mul/sum* - «0»), то множимое и множитель помещаются в соответствующие регистры, а на управляющий вход ФДК *F2* поступает «0».

Диада множителя поступает на входы преобразователя множителя (ПМ). Задачей ПМ является преобразование диады множителя в соответствии с алгоритмом преобразования. При этом в случае образования единицы переноса в старшую диаду множителя она должна быть учтена при преобразовании следующей старшей диады (выход 1 ПМ), т.е. сохраняться до следующего такта на триггер.

В регистре множителя в конце каждого такта умножения содержимое сдвигается на два двоичных разряда и в последнем такте умножения регистр обнуляется. Это позволяет использовать регистр множителя для хранения младших разрядов произведения при умножении по алгоритму «А» (регистр множителя служит как бы «продолжением» регистра результата).

Выход 2 ПМ переходит в единичное состояние, если текущая диада содержит отрицание (01). В этом случае инициализируется управляющий вход F1 формирователя дополнительного кода (ФДК) и на выходах ФДК формируется дополнительный код множимого с обратным знаком (умножение на «-1»).

Принцип работы ФДК, в зависимости от управляющих сигналов, приведён в таблице 2.1.

Таблица 2.1 – Режимы работы формирователя дополнительного кода

|  |  |  |
| --- | --- | --- |
| **Сигналы на входах ФДК** | | **Результат на выходах ФДК** |
| *F1* | *F2* |
| 0 | 0 | Дополнительный код множимого |
| 0 | 1 | Дополнительный код слагаемого |
| 1 | 0 | Меняется знак Мн |
| 1 | 1 | Меняется знак слагаемого |

На выходах 3 и 4 ПМ формируются диады преобразованного множителя, которые поступают на входы ОЧУ вместе с диадами множимого.

ОЧУ предназначен лишь для умножения двух четверичных цифр. Если в процессе умножения возникает перенос в следующий разряд, необходимо предусмотреть возможность его прибавления.

Для суммирования результата умножения текущей диады Мн·Мт с переносом из предыдущей диады предназначен ОЧС. Следовательно, чтобы полностью сформировать частичное произведение четверичных сомножителей, необходима комбинация цепочек ОЧУ и ОЧС.

Частичные суммы формируются в аккумуляторе. На первом этапе он обнулён и первая частичная сумма получается за счёт сложения первого частичного произведения (сформированного на выходах ОЧС) и нулевой частичной суммы (хранящейся в аккумуляторе).

В аккумуляторе происходит сложение *i*-й частичной суммы с (*i*+1)-м частичным произведением, результат сложения сохраняется. Содержимое аккумулятора сдвигается на один четверичный разряд вправо в конце каждого такта умножения по алгоритму «А».

На четырёх выходах ОЧУ формируется результат умножения диад Мн·Мт. Максимальной цифрой в диаде преобразованного множителя является двойка, поэтому в старшем разряде произведения максимальной цифрой может оказаться только «1»:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 3 | · | 2 | = | 1 2 |
| max |  | max |  |  |
| Мн |  | Мт |  |  |

Это означает, что на младшие входы ОЧС никогда не поступят диады цифр, соответствующие кодам «2» и «3», следовательно, в таблице истинности работы ОЧС будут содержаться 16 безразличных входных наборов.

Частичные суммы хранятся в аккумуляторе и регистре множителя, т.к. алгоритм умножения «А» предполагает возможность синхронного сдвига этих устройств. Количество тактов умножения определяется разрядностью Мт.

**3 РАЗРАБОТКА ФУНКЦИОНАЛЬНЫХ СХЕМ ОСНОВНЫХ УЗЛОВ СУММАТОРА-УМНОЖИТЕЛЯ**

**3.1 Логический синтез одноразрядного четверичного сумматора-умножителя**

ОЧУС – это комбинационное устройство, имеющее 5 двоичных входов (2 разряда из регистра Мн, 2 разряда из регистра Мт и управляющий вход *h*) и 3 двоичных выхода.

Принцип работы ОЧУС представлен с помощью таблицы истинности (таблица 3.1.1).

Разряды множимого закодированы: 0 – 10, 1 – 00, 2 – 11, 3 – 10;

Разряды множителя закодированы: 0 – 00, 1 – 01, 2 – 10, 3 – 11;

Управляющий вход *h* определяет тип операции:

«0» – вывод результата умножения закодированных цифр с добавлением переноса из предыдущего ОЧУС, перенос в следующий ОЧУС.

«1» – вывод без изменения значения разрядов, поступивших из регистра множимого, перенос *из* и *в* ОЧУС равны нулю.

В таблице 3.1.1 выделены безразличные наборы, т.к. на входы ОЧУС из разрядов множителя не может поступить код «11».

Таблица 3.1.1 — Таблица истинности ОЧУС

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Пер.** | **Мн.** | | **Мт.** | | **Упр.** | **Перенос** | **Результат** | | **Пример операции в четверичной с/с** |
| ***p*** | ***x1*** | ***x2*** | ***y1*** | ***y2*** | ***h*** | ***P*** | ***Q1*** | ***Q2*** |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 \* 0 + 0 = 00 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | Выход – код «01» |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 \* 1 + 0 = 01 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | Выход – код «01» |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 \* 2 + 0 = 02 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | Выход – код «01» |
| 0 | 0 | 0 | 1 | 1 | 0 | x | x | x | 1 \* 3 + 0 = 03 |
| 0 | 0 | 0 | 1 | 1 | 1 | x | x | x | Выход – код «01» |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 3 \* 0 + 0= 00 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | Выход – код «03» |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 3 \* 1 + 0 = 03 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | Выход – код «03» |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 3 \* 2 + 0 = 12 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | Выход – код «03» |
| 0 | 0 | 1 | 1 | 1 | 0 | x | x | x | 3 \* 3 + 0 = 21 |
| 0 | 0 | 1 | 1 | 1 | 1 | x | x | x | Выход – код «03» |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 \* 0 + 0 = 00 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | Выход – код «00» |

Продолжение таблицы 3.1.1

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 \* 1 + 0 = 00 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | Выход – код «00» |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 \* 2 + 0 = 00 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | Выход – код «00» |
| 0 | 1 | 0 | 1 | 1 | 0 | x | x | x | 0 \* 3 + 0 = 00 |
| 0 | 1 | 0 | 1 | 1 | 1 | x | x | x | Выход – код «00» |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 2 \* 0 + 0 = 00 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | Выход – код «02» |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 2 \* 1 + 0 = 02 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | Выход – код «02» |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 2 \* 2 + 0 = 10 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | Выход – код «02» |
| 0 | 1 | 1 | 1 | 1 | 0 | x | x | x | 2 \* 3 + 0 = 12 |
| 0 | 1 | 1 | 1 | 1 | 1 | x | x | x | Выход – код «02» |
| 1 | 0 | 0 | 0 | 0 | 0 | х | х | х | 1 \* 0 + 1 = 01 |
| 1 | 0 | 0 | 0 | 0 | 1 | х | х | х | Выход – код «01» |
| 1 | 0 | 0 | 0 | 1 | 0 | х | х | х | 1 \* 1 + 1 = 02 |
| 1 | 0 | 0 | 0 | 1 | 1 | х | х | х | Выход – код «01» |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 \* 2 + 1 = 03 |
| 1 | 0 | 0 | 1 | 0 | 1 | х | х | х | Выход – код «01» |
| 1 | 0 | 0 | 1 | 1 | 0 | x | x | x | 1 \* 3 + 1 = 10 |
| 1 | 0 | 0 | 1 | 1 | 1 | x | x | x | Выход – код «01» |
| 1 | 0 | 1 | 0 | 0 | 0 | х | х | х | 3 \* 0 + 1 = 01 |
| 1 | 0 | 1 | 0 | 0 | 1 | х | х | х | Выход – код «03» |
| 1 | 0 | 1 | 0 | 1 | 0 | х | х | х | 3 \* 1 + 1 = 10 |
| 1 | 0 | 1 | 0 | 1 | 1 | х | х | х | Выход – код «03» |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 3 \* 2 + 1 = 13 |
| 1 | 0 | 1 | 1 | 0 | 1 | х | х | х | Выход – код «03» |
| 1 | 0 | 1 | 1 | 1 | 0 | x | x | x | 3 \* 3 + 1 = 22 |
| 1 | 0 | 1 | 1 | 1 | 1 | x | x | x | Выход – код «03» |
| 1 | 1 | 0 | 0 | 0 | 0 | х | х | х | 0 \* 0 + 1 = 01 |
| 1 | 1 | 0 | 0 | 0 | 1 | х | х | х | Выход – код «00» |
| 1 | 1 | 0 | 0 | 1 | 0 | х | х | х | 0 \* 1 + 1 = 01 |
| 1 | 1 | 0 | 0 | 1 | 1 | х | х | х | Выход – код «00» |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 \* 2 + 1 = 01 |
| 1 | 1 | 0 | 1 | 0 | 1 | х | х | х | Выход – код «00» |
| 1 | 1 | 0 | 1 | 1 | 0 | x | x | x | 0 \* 3 + 1 = 01 |
| 1 | 1 | 0 | 1 | 1 | 1 | x | x | x | Выход – код «00» |
| 1 | 1 | 1 | 0 | 0 | 0 | х | х | х | 2 \* 0 + 1 = 01 |
| 1 | 1 | 1 | 0 | 0 | 1 | х | х | х | Выход – код «02» |
| 1 | 1 | 1 | 0 | 1 | 0 | х | х | х | 2 \* 1 + 1 = 03 |

Продолжение таблицы 3.1.1

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 1 | 1 | 0 | 1 | 1 | х | х | х | Выход – код «02» |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 2 \* 2 + 1 = 11 |
| 1 | 1 | 1 | 1 | 0 | 1 | х | х | х | Выход – код «02» |
| 1 | 1 | 1 | 1 | 1 | 0 | x | x | x | 2 \* 3 + 1 = 13 |
| 1 | 1 | 1 | 1 | 1 | 1 | x | x | x | Выход – код «02» |

**Минимизация функции P:**

Минимизацию функции P проведем с помощью карт Вейча. Для функции Р заполненная карта приведена на рисунке 3.1.1. В рисунках 3.1.1 – 3.1.3 символом «х» отмечены наборы, на которых функция может принимать произвольное значение (безразличные наборы).

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | X1 | | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
| p |  | x | x | x | x | x | x | x | x |  |  |  |
|  | x | x | x | x | x | x | x | x |  |  | H |
|  | x | x | x | x | x | x | x | x |  |  |  |
|  | 0 | x | x | 1 | 1 | x | x | 0 |  | Y1 |  |
|  |  | 0 | x | x | 1 | 1 | x | x | 0 |  |  |  |
|  |  | 0 | x | x | 0 | 0 | x | x | 0 |  |  | H |
|  |  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  |
|  |  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  | X2 |  |  |  |  |  |  |  |
|  |  |  | Y2 | |  |  | Y2 | |  |  |  |  |

Рисунок 3.1.1 — Минимизация функции Р картой Вейча

Следовательно:

P = x2y1

Запишем результат в базисе ИЛИ-НЕ:

P =

Эффективность минимизации можно оценить отношением числа входов схем, реализующих переключательную функцию до и после минимизации:

*K = =* 8

**Минимизация функции Q1:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | X1 | | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | x | x | x | x | x | x | x | x |  |  |  |
| p |  | x | x | x | x | x | x | x | x |  |  | H |
|  |  | x | x | x | x | x | x | x | x |  | Y1 |
|  |  | 0 | x | x | 0 | 0 | x | x | 0 |  |  |
|  |  | 1 | x | x | 1 | 1 | x | x | 1 |  |  |
|  |  | 1 | x | x | 1 | 0 | x | x | 0 |  | h |
|  |  | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |  |  |
|  |  | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  | X2 |  |  |  |  |  |  |  |
|  |  |  | Y2 | |  |  | Y2 | |  |  |  |  |

Рисунок 3.1.2 — Минимизация функции Q1 картой Вейча

Следовательно:

Q1= 2 + x1

Запишем результат в базисе ИЛИ-НЕ:

Q1 =

Эффективность минимизации:

K = = 11,5

**Минимизация функции Q2:**

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | X1 | | | |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | x | x | x | x | x | x | x | x |  |  |  |
| p |  | x | x | x | x | x | x | x | x |  |  | h |
|  |  | x | x | x | x | x | x | x | x |  | Y1 |
|  |  | 0 | x | x | 0 | 1 | x | x | 1 |  |  |
|  |  | 0 | x | x | 0 | 1 | x | x | 1 |  |  |
|  |  | 0 | x | x | 1 | 1 | x | x | 0 |  | h |
|  |  | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |  |  |
|  |  | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  | X2 |  |  |  |  |  |  |  |
|  |  |  | Y2 | |  |  | Y2 | |  |  |  |  |

Рисунок 3.1.3 — Минимизация функции Q2 картой Вейча

Следовательно:

Q2 = x2y2 + x2h+ 1y1

Запишем результат в базисе ИЛИ-НЕ:

Q2 =

Эффективность минимизации:

K = = 8,1

**3.2 Логический синтез одноразрядного четверичного сумматора**

Одноразрядный четверичный сумматор – это комбинационное устройство, имеющее 5 двоичных входов (2 разряда одного слагаемого, 2 разряда второго слагаемого и вход переноса) и 3 двоичных выхода.

Принцип работы ОЧС представлен с помощью таблицы истинности (таблица 3.2.1)

Кодировка слагаемых обоих разрядов: 0 – 10, 1 – 00, 2 – 11, 3 – 01;

Таблица 3.2.1 — Таблица истинности ОЧС

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ***а1*** | ***а2*** | ***b1*** | ***b2*** | ***p*** | ***П*** | ***S1*** | ***S2*** | ***Пример операции в четверичной с/с*** |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 + 1 + 0 = 02 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 + 1 + 1 = 03 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 + 3 + 0 = 10 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 + 3 + 1 = 11 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 + 0 + 0 = 01 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 + 0 + 1 = 02 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 + 2 + 0 =03 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 + 2 + 1 = 10 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 3 + 1 + 0 = 10 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 3 + 1 + 1 = 11 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 3 + 3 + 0 = 12 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 3 + 3 + 1 = 13 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 3 + 0 + 0 = 03 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 3 + 0 + 1 = 10 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 3 + 2 + 0 = 11 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 3 + 2 + 1 = 12 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 + 1 + 0 = 01 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 + 1 + 1 = 02 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 + 3 + 0 = 03 |

Продолжение таблицы 3.2.1

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 + 3 + 1 = 10 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 + 0 + 0 = 00 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 + 0 + 1 = 01 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 + 2 + 0 = 02 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 + 2 + 1 = 03 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 2 + 1 + 0 = 03 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 2 + 1 + 1 = 10 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 2 + 3 + 0 = 11 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 2 + 3 + 1 = 12 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 2 + 0 + 0 = 02 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 2 + 0 + 1 = 03 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 2 + 2 + 0 = 10 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 2 + 2 + 1 =11 |

**Минимизация функции П:**

Определим множество единичных кубов:

Множество безразличных кубов пустое.

Сформируем множество С0 = L ⋃ N:

C0 = {00010, 00011, 00111, 01000, 01001, 01010, 01011, 01101, 01110, 01111, 10011, 11001, 11010, 11011, 11110, 11111}

Первым этапом алгоритма Рота является нахождение множества простых импликант.

Для реализации этого этапа будем использовать операцию умножения (\*) над множествами *С0, С1* и т. д., пока в результате операции будут образовываться новые кубы большей размерности.

Первый шаг умножения (С0\*С0) приведён в таблице 3.2.2.

Таблица 3.2.2 – Поиск простых импликант (С0\*С0)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| С0\*С0 | 00010 | 00011 | 00111 | 01000 | 01001 | 01010 | 01011 | 01101 | 01110 | 01111 | 10011 | 11001 | 11010 | 11011 | 11110 | 11111 |
| 00010 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 00011 | 0001x | - |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 00111 |  | 00x11 | - |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 01000 |  |  |  | - |  |  |  |  |  |  |  |  |  |  |  |  |
| 01001 |  |  |  | 0100x | - |  |  |  |  |  |  |  |  |  |  |  |
| 01010 | 0x010 |  |  | 010x0 |  | - |  |  |  |  |  |  |  |  |  |  |
| 01011 |  | 0x011 |  |  | 010x1 | 0101x | - |  |  |  |  |  |  |  |  |  |
| 01101 |  |  |  |  | 01x01 |  |  | - |  |  |  |  |  |  |  |  |
| 01110 |  |  |  |  |  | 01x10 |  |  | - |  |  |  |  |  |  |  |
| 01111 |  |  | 0x111 |  |  |  | 01x11 | 011x1 | 0111x | - |  |  |  |  |  |  |
| 10011 |  | x0011 |  |  |  |  |  |  |  |  | - |  |  |  |  |  |
| 11001 |  |  |  |  | x1001 |  |  |  |  |  |  | - |  |  |  |  |
| 11010 |  |  |  |  |  | x1010 |  |  |  |  |  |  | - |  |  |  |
| 11011 |  |  |  |  |  |  | x1011 |  |  |  | 1x011 | 110x1 | 1101x | - |  |  |
| 11110 |  |  |  |  |  |  |  |  | x1110 |  |  |  | 11x10 |  | - |  |
| 11111 |  |  |  |  |  |  |  |  |  | x111 |  |  |  | 11x11 | 1111x | - |

В результате этой операции сформируется новое множество кубов:

С1 = {0001x, 0x010, 00x11, 0x011, x0011, 0x111, 0100x, 010x0, 010x1, 01x01, x1001, 0101x, 01x10, x1010, 01x11, x1011, 011x1, 0111x, x1110, x1111, 1x011, 110x1, 1101x, 11x10, 11x11, 1111x}

Множество Z0 кубов, не участвовавших в образовании новых кубов, пустое.

В таблице 3.2.3 приведён следующий шаг поиска простых импликант с помощью операции С1\*С1.

Таблица 3.2.3 – Поиск простых импликант С1\* С1

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| C1\*C1 | 0001x | 0x010 | 00x11 | 0x011 | x0011 | 0x111 | 0100x | 010x0 | 010x1 | 01x01 | x1001 | 0101x | 01x10 |
| 0001x | - |  |  |  |  |  |  |  |  |  |  |  |  |
| 0x010 |  | - |  |  |  |  |  |  |  |  |  |  |  |
| 00x11 |  |  | - |  |  |  |  |  |  |  |  |  |  |
| 0x011 |  | 0x01x |  | - |  |  |  |  |  |  |  |  |  |
| x0011 |  |  |  |  | - |  |  |  |  |  |  |  |  |
| 0x111 |  |  |  | 0xx11 |  | - |  |  |  |  |  |  |  |
| 0100x |  |  |  |  |  |  | - |  |  |  |  |  |  |
| 010x0 |  |  |  |  |  |  |  | - |  |  |  |  |  |
| 010x1 |  |  |  |  |  |  |  | 010xx | - |  |  |  |  |
| 01x01 |  |  |  |  |  |  |  |  |  | - |  |  |  |
| x1001 |  |  |  |  |  |  |  |  |  |  | - |  |  |
| 0101x | 0x01x |  |  |  |  |  | 010xx |  |  |  |  | - |  |
| 01x10 |  |  |  |  |  |  |  |  |  |  |  |  | - |
| x1010 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 01x11 |  |  | 0xx11 |  |  |  |  |  |  | 01xx1 |  |  | 01x1x |
| x1011 |  |  |  |  | xx011 |  |  |  |  |  | x10x1 |  |  |
| 011x1 |  |  |  |  |  |  |  |  | 01xx1 |  |  |  |  |
| 0111x |  |  |  |  |  |  |  |  |  |  |  | 01x1x |  |
| x1110 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| x1111 |  |  |  |  |  |  |  |  |  |  |  |  |  |

Продолжение таблицы 3.2.3

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1x011 |  |  |  | xx011 |  |  |  |  |  |  |  |  |  |
| 110x1 |  |  |  |  |  |  |  |  | x10x1 |  |  |  |  |
| 1101x |  |  |  |  |  |  |  |  |  |  |  | x101x |  |
| 11x10 |  |  |  |  |  |  |  |  |  |  |  |  | x1x11 |
| 11x11 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1111x |  |  |  |  |  |  |  |  |  |  |  |  |  |

Продолжение таблицы 3.2.3

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| C1\*C1 | x1010 | 01x11 | x1011 | 011x1 | 0111x | x1110 | x1111 | 1x011 | 110x1 | 1101x | 11x10 | 11x11 | 1111x |
| 0001x |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0x010 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 00x11 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0x011 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| x0011 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0x111 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0100x |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 010x0 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 010x1 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 01x01 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| x1001 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0101x |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 01x10 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| x1010 | - |  |  |  |  |  |  |  |  |  |  |  |  |
| 01x11 |  | - |  |  |  |  |  |  |  |  |  |  |  |
| x1011 | x101x |  | - |  |  |  |  |  |  |  |  |  |  |
| 011x1 |  |  |  | - |  |  |  |  |  |  |  |  |  |
| 0111x |  |  |  |  | - |  |  |  |  |  |  |  |  |
| x1110 | x1x10 |  |  |  |  | - |  |  |  |  |  |  |  |
| x1111 |  |  | x1x11 |  |  | x111x | - |  |  |  |  |  |  |

Продолжение таблицы 3.2.3

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1x011 |  |  |  |  |  |  |  | - |  |  |  |  |  |
| 110x1 |  |  |  |  |  |  |  |  | - |  |  |  |  |
| 1101x |  |  |  |  |  |  |  |  |  | - |  |  |  |
| 11x10 |  |  |  |  |  |  |  |  |  |  | - |  |  |
| 11x11 |  | x1x11 |  |  |  |  |  |  |  |  | 11x1x | - |  |
| 1111x |  |  |  |  | x111x |  |  |  |  | 11x1x |  |  | - |

В результате образовалось множество С*2* кубов второй размерности:

С2 = {0x01x, 0xx11, xx011, 010xx, 01xx1, x10x1, 01x1x, x101x, x1x10, x1x11, x111x, 11x1x}

Множество *Z*1 кубов, не участвовавших в образовании новых кубов, пустое.

В таблице 3.2.4 приведён следующий шаг поиска простых импликант – операция С2\*C2

Таблица 3.2.4 – Поиск простых импликант С2\*C2

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| C2\*C2 | 0x01x | 0xx11 | xx011 | 01xx1 | 01x1x | x111x | 010xx | x10x1 | x1x11 | x101x | x1x10 | 11x1x |
| 0x01x | - |  |  |  |  |  |  |  |  |  |  |  |
| 0xx11 |  | - |  |  |  |  |  |  |  |  |  |  |
| xx011 |  |  | - |  |  |  |  |  |  |  |  |  |
| 01xx1 |  |  |  | - |  |  |  |  |  |  |  |  |
| 01x1x |  |  |  |  | - |  |  |  |  |  |  |  |
| x111x |  |  |  |  |  | - |  |  |  |  |  |  |
| 010xx |  |  |  |  |  |  | - |  |  |  |  |  |
| x10x1 |  |  |  |  |  |  |  | - |  |  |  |  |
| x1x11 |  |  |  |  |  |  |  |  | - |  |  |  |
| x101x |  |  |  |  |  | x1x1x |  |  |  | - |  |  |
| x1x10 |  |  |  |  |  |  |  |  | x1x1x |  | - |  |
| 11x1x |  |  |  |  | x1x1x |  |  |  |  |  |  | - |

В результате образовалось множество *С*3кубов третьей размерности:

*С*3 = {x1x1x}.

Получено множество Z2*=*{0x01x, 0xx11, xx011, 010xx, 01xx1, x10x1}*.*

В таблице 3.2.5 приведён следующий шаг поиска простых импликант – операция *С*3*\*С*3.

Таблица 3.2.5 – Поиск простых импликант *С*3*\*С*3

|  |  |
| --- | --- |
| C3 \* C3 | x1x1x |
| x1x1x | - |

Новых кубов (четвертой размерности) не образовалось.

Получено множество Z3*=* {x1x1x}

На этом заканчивается этап поиска простых импликант.

Множество простых импликант:

Z =Z0 ⋃ Z1⋃ Z2 ⋃ Z3 = {0x01x, 0xx11, xx011, 010xx, 01xx1; x10x1, x1x1x}

Следующий этап – поиск L-экстремалей на множестве простых импликант (таблица 3.2.6). Для этого используется операция # (вычитание).

Таблица 3.2.6 – Поиск L-экстремалей

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| z#(Z-z) | 0x01x | 0xx11 | xx011 | 010xx | 01xx1 | x10x1 | x1x1x |
| 0x01x | - | zz1zz  0x111 | 1zzzz  1x011 | zzz0z  0100x | zz10z  011x1  01x01 | 1zz0z  110x1  x1001 | 1z1zz  11x1x  x111x |
| 0xx11 | zzzz0  0x010 | - | yzzzz  1x011 | 0zzy0  0100x | zzz0z  01101  zzzyz  01x01 | yzz0z  110x1  1zzyz  x1001 | yzzz0  11x1x  1zzz0  1111x  x1110 |

Продолжение таблицы 3.2.6

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| xx011 | zzzzy  0x010 | zzyzz  0x111 | - | zzzy0  0100x | zzyyz  01101  zz1yz  01x01 | zzz0z  11001  zzzyz  x1001 | zz1z0  1111x  11x10  zzyzy  1111x  zzyzy  x1110 |
| 010xx | z0zzz  00010 | z0yzz  0x111 | y0zzz  1x011 | - | zzyzz  01101  zz1zz  01101 | yzzzz  11001  1zzzz  11001 | yzyzz  1111x  yz1zz  11x10  yzyzz  1111x  1zyzz  x1110 |
| 01xx1 | zyzzy  00010 | z0zzz  00111 | y0zzz  1x011 | zzzz0  01000 | - | yzzzz  11001  yzzzz  11001 | yzzzz  1111x  yzzzy  11x10  yzzz0  1111x  1zzzy  x1110 |
| x10x1 | zyzzy  00010 | zyyzz  00111 | z0zzz  10011 | zzzzy  01000 | zzyzz  01101  zzyzz  01101 | - | zzyz0  1111x  zz1zy  11x10  zzyz0  1111x  zzyzy  x1110 |
| x1x1x | zyzzz  00010 | zyzzz  00111 | zyzzz  10011 | zzzyz  01000 | zzzyz  01101  zzzyz  01101 | zzzyz  11001  zzzyz  11001 | - |
| Остаток | 00010 | 00111 | 10011 | 01000 | 01101  01101 | 11001  11001 | 1111x  11x10  1111x  x1110 |

В таблице 3.2.6 из каждой простой импликанты поочерёдно вычитаются все остальные простые импликанты *Z#(Z-z)*.

Множество L-экстремалей = E = {0x01x; 0xx11; xx011; 010xx; 01xx1; x10x1; x1x1x}

Исходные кубы не надо анализировать так как все они покрываются найденной L-экстремалью. Поиск минимального покрытия завершён.

П = 1a2p + 1a21 + 1b2p + 1b2p + 11b2 + a21p + a2b2

Запишем результат в базисе И-Константная единица-Сумма по модулю:

П = (((a1 ∙ (a21) ∙ (p1))) ∙ ((a1 ∙ (a21) ∙ (b11))) ∙ ((a1∙ (b2 1) ∙ (p 1)) ) ∙ ((b1 ∙ (b21) ∙ (p1))) ∙ (((a11) ∙ b1 ∙ (b21))) ∙ (((a21) ∙ b1 ∙ (p1))) ∙ (((a21) ∙ (b21)))

Эффективность минимизации:

K = = 3,6

**Минимизация функции S**1

Минимизацию функции **S1** проведем с помощью карт Карно. Для функции **S1** заполненная карта приведена на рисунке 3.2.7.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| a1a2 | 000  b1b2П | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
| 00 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 01 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 10 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |

Рисунок 3.2.1 — Минимизация функции S1 картой Карно

Следовательно: S1= 11 + a11p + 1b1p + a1b1

Запишем результат в базисе И-Константная единица-Сумма по модулю:

S1 = ((a1∙ b1 ∙ p) 1) ∙ (((a1  1) ∙ b1 ∙ (p 1)) 1) ∙ ((a1 ∙ (b11) ∙ (p1)) 1) ∙ (((a11) ∙ (b11) ∙ p) 1)

Эффективность минимизации:

K = = 3,1

**Минимизация функции S2**

Минимизацию функцииS2 проведем с помощью карт Карно. Для функции S2 заполненная карта приведена на рисунке 3.2.8.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| a1a2 | 000  b1b2П | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
| 00 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 01 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 10 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |

Рисунок 3.2.2 — Минимизация функции S2 картой Карно

Следовательно:

S2= 122p+ 212p + 1212 + 2b1b2 + a12b1b2 + a12b2p + a12b2 + 1a21b2 + a21b2p + 1a2b2p + a2b12 + a1a2b12 + a1a22

Запишем результат в базисе И-Константная единица-Сумма по модулю:

S2 = (((a1 ∙ a2 ∙ b2 ∙ (p 1)) 1) ∙ ((a2 ∙ b1 ∙ b2 ∙ (p 1)) 1) ∙ ((a1 ∙ a2 ∙ b1 ∙ b2) 1) ∙ ((a2 ∙ (b1 1) ∙ (b2 1) ∙ p) 1) ∙ (((a1 1) ∙ a2 ∙ (b1 1) ∙ (b2 1) ) 1) ∙ (((a1 1) ∙ a2 ∙ (b2 1) ∙ (p 1)) 1) ∙ (((a1 1) ∙ a2 ∙ (b2 1) ∙ p) 1) ∙ ((a1 ∙ (a2 1) ∙ b1 ∙ (b2 1)) 1) ∙ (((a2 1) ∙ b1 ∙ (b2  1) ∙ (p 1)) 1) ∙ ((a1 ∙ (a2 1) ∙ (b2 1) ∙ (p 1) ) 1) ∙ (((a2 1) ∙ (b1 1) ∙ b2 ∙ p) 1) ∙ (((a1 1)) ∙ (a2 1) ∙ (b1 1) ∙ b2) 1) ∙ (((a1 1) ∙ (a2 1) ∙ b2 ∙ p)) 1)

Эффективность минимизации:

K = = 1,1

**3.3. Логический синтез преобразователя множителя**

Преобразователь множителя (ПМ) – это устройство, которое преобразовывает диады множителя в соответствии с методом умножения.

При умножении в дополнительных кодах ПМ заменяет диады 11 (34) и 10 (24) на триады и соответственно.

Принцип работы ПМ представлен с помощью таблицы истинности (таблица 3.3.1).

Таблица 3.3.1 – Таблица истинности ПМ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Входная диада** | | **Младший разряд** | **Знак** | **Выходная диада** | |
| ***a*1** | ***a*2** | ***p*** | ***Q*** | ***S*1** | ***S*2** |
| **1** | **2** | **3** | **4** | **5** | **6** |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |

Минимизацию переключательных функций произведём с помощью карт Вейча и реализуем их в базисе И, ИЛИ, НЕ.

**Функция Q**

Для функции Q заполненная карта приведена на рисунке 3.3.1.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | a2 | |  |  |
|  |  |  |  |  |  |
| a1 |  | 1 |  | 1 | 1 |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  | p | |  |

Рисунок 3.3.1 – Минимизация функции Q при помощи карты Вейча

Следовательно:

**Функция S1**

Для функции S1 Заполненная карта приведена на рисунке 3.3.2.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | *a*2 | |  |  |
|  |  |  |  |  |  |
| *a*1 |  |  |  |  | 1 |
|  |  |  | 1 |  |  |
|  |  |  |  |  |  |
|  |  |  | *p* | |  |

Рисунок 3.3.2 – Минимизация функции S1 при помощи карты Вейча

Следовательно:

**Функция S2**

Для функции S2 заполненная карта приведена на рисунке 3.3.3.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | *a*2 | |  |  |
|  |  |  |  |  |  |
| *a*1 |  | 1 |  | 1 |  |
|  |  | 1 |  | 1 |  |
|  |  |  |  |  |  |
|  |  |  | *p* | |  |

Рисунок 3.3.3 – Минимизация функции S2 при помощи карты Вейча

Следовательно:

Функциональная схема ПМ приведена в приложении Д.

# **4. Синтез комбинационных схем устройств**

# **на основе мультиплексоров**

*Мультиплексор* – это логическая схема, которая имеет *n* информационных входов, *m* управляющих входов и один выход. При этом должно выполнятся условие .

На выход мультиплексора может быть пропущен без изменений один любой логический сигнал, поступающий на один из информационных входов. Порядковый номер информационного входа, значение которого в данный момент должно быть передано на выход, определяется двоичным кодом, подаваемым на управляющие входы.

Переключательные функции (ПФ) от пяти переменных (как, например, ОЧС) можно реализовать на мультиплексоре «один из восьми». Управляющее поле такого мультиплексора будет определяться тремя переменными, следовательно, число групп с одинаковыми значениями этих переменных будет равно восьми. Также, реализация нескольких ПФ требует для каждой ПФ отдельного мультиплексора.

Для определения управляющего поля мультиплексора возьмём переменные *a*1, *a*2 и *b*1.

Таблица истинности для синтеза ПФ ОЧС приведена в таблице 4.1.

Таблица 4.1 – Таблица истинности для синтеза ПФ ОЧС

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **a1** | **a2** | **b1** | **b2** | **p** | **П** | **Функция** | **S1** | **Функция** | **S2** | **Функция** |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** | **11** |
| 0 | 0 | 0 | 0 | 0 | 0 | b**2** | 1 |  | 1 |  |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | b**2** p | 0 | p | 0 | b2 p |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |  | 0 | b2 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | b**2 +** p | 0 | p | 1 | b2 p |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

Продолжение таблицы 4.1

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | 0 | 0 | 0 | 0 | 0 | b**2** p | 0 | p | 0 | b2 p |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |  | 0 | b2 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | b**2 +** p | 0 | p | 1 | b2 p |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | b**2** | 1 |  | 1 |  |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |

При синтезе ОЧС на основе мультиплексоров получается более эффективная схема (если считать, что количество входов мультиплексора = n + 2n, не включая входы элементов, из которых он состоит).

Функциональная схема ОЧС на основе мультиплексоров представлена в приложении Г.

**5. ОЦЕНКА РЕЗУЛЬТАТОВ РАЗРАБОТКИ**

Формула расчёта временных затрат на умножение:

Т=𝑛∗(𝑇ПМ+𝑇ФДК+m∗𝑇ОЧУC+3\*𝑇ОЧС+𝑇сдвига), где

𝑇ПМ – время преобразования множителя;

𝑇ФДК – время формирования дополнительного кода множимого;

𝑇ОЧУC – время умножения на ОЧУC;

𝑇ОЧС – время формирования единицы переноса в ОЧС;

𝑇сдвига – время сдвига в регистрах;

n – количество разрядов множителя;

m – количество разрядов множимого.

Минимизация функций позволила в несколько раз удешевить схему сумматора-умножителя и уменьшить затраты времени на выполнение за счет уменьшения количества элементов.

**ЗАКЛЮЧЕНИЕ**

В процессе выполнения курсовой работы была разработана структурная схема сумматора-умножителя второго типа, а также функциональные схемы основных узлов данного устройства. Для уменьшения стоимости логических схем были выполнены минимизации переключательных функций различными способами. Такой подход позволил выявить достоинства и недостатки этих алгоритмов.

В качестве главного достоинства минимизации картами Карно-Вейча можно выделить простоту и минимальные затраты времени. Однако применение данного способа для функций многих переменных будет затруднительно. Для минимизации функций многих переменных удобно использовать алгоритм Рота, который полностью формализует алгоритмы минимизации и делает минимизацию доступной для выполнения компьютерной программой.

Функциональные схемы были построены в различных логических базисах. Это позволило закрепить теоретические знания основных законов булевой алгебры, например, правило де Моргана.

Реализация переключательных функций на основе мультиплексоров позволила облегчить процесс минимизации этих функций и упростить функциональную схему одноразрядного четверичного сумматора.

**СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ**

Луцик, Ю. А. Учебное пособие по курсу «Арифметические и логические основы вычислительной техники» / Ю. А. Луцик, И. В. Лукьянова. - Минск : БГУиР, 2014. – 76с.

Искра, Н. А. Арифметические и логические основы вычислительной техники : пособие / Н. А. Искра, И. В. Лукьянова, Ю. А. Луцик. – Минск : БГУИР, 2016. – 75 с.

Единая система конструкторской документации (ЕСКД) : справ. пособие / С. С. Борушек [и др.]. – М. : Изд-во стандартов, 1989. – 352 с.

Лысиков, Б. Г. Цифровая вычислительная техника / Б. Г. Лысиков. – Минск : Выш. шк., 2003. – 242 с.

Савельев, А. Я. Прикладная теория цифровых автоматов / А. Я. Савельев. – М. : Высш. шк., 1987. – 272 с.

**ПРИЛОЖЕНИЕ А**

**(**обязательное**)**

Сумматор-умножитель второго типа. Схема электрическая структурная

**ПРИЛОЖЕНИЕ Б**

**(**обязательное**)**

Одноразрядный четверичный сумматор. Схема электрическая функциональная

**ПРИЛОЖЕНИЕ В**

**(**обязательное**)**

Одноразрядный четверичный сумматор-умножитель. Схема электрическая функциональная

**ПРИЛОЖЕНИЕ Г**

**(**обязательное**)**

Однозарядный четверичный сумматор. Схема электрическая функциональная на основе мультиплексоров

**ПРИЛОЖЕНИЕ Д**

**(**обязательное**)**

Преобразователь множителя. Схема электрическая функциональная

**ПРИЛОЖЕНИЕ Е**

**(**обязательное**)**

Ведомость документов